

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MENU

SEARCH

INDEX

NEXT

1/3



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10321954

(43) Date of publication of application: 04.12.
1998

(51) Int.Cl.

H01S 3/18
H01L 21/203
H01L 33/00(21) Application number:
09125238

(22) Date of filing: 15.05.1997

(71) Applicant: FUJI ELECTRIC CO LTD

(72) Inventor: SUZUKI TAKESHI
MATSUI TOSHIYUKI
OI AKIHIKO
KAMIJO HIROSHI
MATSUYAMA HIDEAKI(54) GROUP III NITRIDE SEMICONDUCTOR ELEMENT AND MANUFACTURE
THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Group III nitride semiconductor element composed of $Al_xGa_yIn_{1-x-y}N$ having no high resistance portion in a current passage and having less heat generation during operation.

SOLUTION: In a Group III nitride semiconductor where Group III nitride semiconductor thin films 3 to 7 composed of $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x, y$, and $x+y \leq 1$) are laminated on a semiconductor substrate 1s, and an electrode layer 8a is formed on the final Group III nitride semiconductor thin film, a buffer layer 2c exhibiting metallic conductivity composed of a transition metal nitride being a crystal structure of a rock salt type hexagonal system is interposed between a substrate 1s and the Group III nitride semiconductor thin films 3 to 7.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

MENU

SEARCH

INDEX

NEXT

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-321954

(43)公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

H 01 S 3/18
H 01 L 21/203
33/00

識別記号

F I

H 01 S 3/18
H 01 L 21/203
33/00

M
C

審査請求 未請求 請求項の数10 OL (全 6 頁)

(21)出願番号

特願平9-125238

(22)出願日

平成9年(1997)5月15日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 鈴木 健

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 松井 俊之

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 大井 明彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 弁理士 篠部 正治

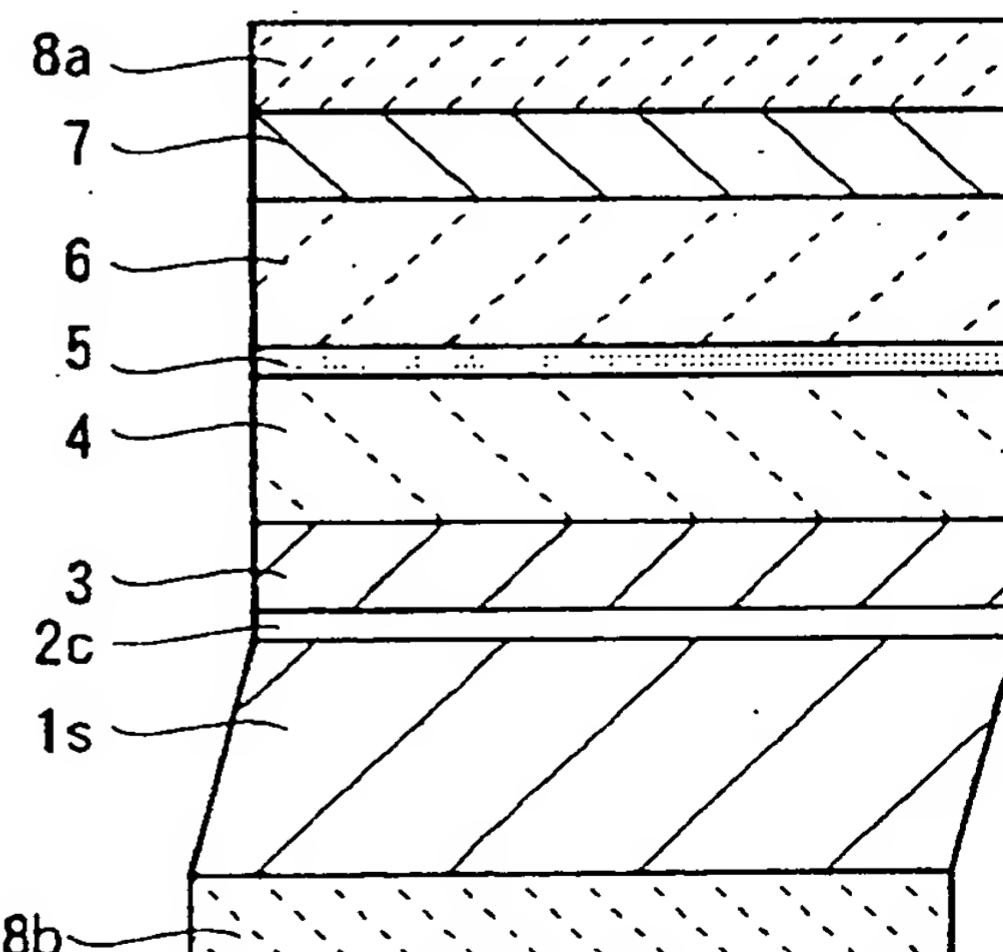
最終頁に続く

(54)【発明の名称】 III 族窒化物半導体素子およびその製造方法

(57)【要約】

【課題】電流路に高抵抗部分がなく、動作時に発熱の少ない $Al_x Ga_y In_{1-x-y} N$ からなるIII族窒化物半導体素子とその製造方法を提供する。

【解決手段】半導体基板上1sに $Al_x Ga_y In_{1-x-y} N$ ($0 \leq x, y$ 、かつ $x + y \leq 1$) からなるIII族窒化物半導体薄膜3~7が積層されてなり、最終のIII族窒化物半導体薄膜の上に電極層8aが形成されているIII族窒化物半導体素子において、前記基板と前記III族窒化物半導体薄膜の間には、金属導電性を示し、岩塩型または六方晶系の結晶構造である遷移金属窒化物からなるバッファ層2cを介在させる。



【特許請求の範囲】

【請求項1】半導体基板上に $Al_x Ga_y In_{1-x-y} N$ ($0 \leq x, y$ 、かつ $x + y \leq 1$) からなるIII族窒化物半導体薄膜が積層されてなり、最終のIII族窒化物半導体薄膜の上に電極層が形成されているIII族窒化物半導体素子において、前記基板と前記III族窒化物半導体薄膜の間には、金属導電性を示し、岩塩型または六方晶系の結晶構造である遷移金属窒化物からなるバッファ層を介在させることを特徴とするIII族窒化物半導体半導体素子。

【請求項2】前記遷移金属窒化物は窒化チタン (TiN) 、窒化バナジウム (VN) 、窒化ジルコニウム (ZrN) 、窒化ニオブ (NbN) または窒化ハフニウム (HfN) のうちのいずれかまたはこれらのうちの2つからなる混晶、または窒化タンタル (TaN) であることを特徴とする請求項1に記載のIII族窒化物半導体半導体素子。

【請求項3】前記半導体基板はケイ素、炭化ケイ素、矽化ガリウム、ヒ化ガリウムであることを特徴とする請求項1または2に記載のIII族窒化物半導体素子。

【請求項4】前記バッファ層と前記III族窒化物半導体薄膜の間に第2のバッファ層を介在させ、さらに格子不整合緩和を行うことを特徴とする請求項1ないし3に記載のIII族窒化物半導体素子。

【請求項5】前記第2のバッファ層は前記III族窒化物半導体薄膜と同じ組成であり、かつ前記III族窒化物半導体薄膜の成膜時の基板温度より低い基板温度で成膜された低温成膜層であることを特徴とする請求項4に記載のIII族窒化物半導体素子。

【請求項6】請求項5に記載のIII族窒化物半導体素子の製造方法において、前記低温成膜層の基板温度は25°C以上500°C以下であることを特徴とするIII族窒化物半導体素子の製造方法。

【請求項7】前記第2のバッファ層は前記III族窒化物半導体薄膜と同じ組成の薄膜、と前記バッファ層からなる2重層の複数積層である超格子層であることを特徴とする請求項4に記載のIII族窒化物半導体素子。

【請求項8】半導体基板上に $Al_x Ga_y In_{1-x-y} N$ ($0 \leq x, y$ 、かつ $x + y \leq 1$) からなるIII族窒化物半導体薄膜が積層されてなり、最終のIII族窒化物半導体薄膜の上に電極層が形成されているIII族窒化物半導体素子において、前記電極層は金属導電性を示し、岩塩型または六方晶系の結晶構造である遷移金属窒化物からなることを特徴とするIII族窒化物半導体素子。

【請求項9】前記遷移金属窒化物は窒化チタン (TiN) 、窒化バナジウム (VN) 、窒化ジルコニウム (ZrN) 、窒化ニオブ (NbN) 、窒化ハフニウム (HfN) のうちのいずれかまたはこれらのうちの2つからなる混晶、または窒化タンタル (TaN) あることを特徴とする請求項8に記載のIII族窒化物半導体素子。

【請求項10】請求項1ないし9に記載のIII族窒化物

半導体素子の製造方法において、前記遷移金属窒化物からなる層は分子線エピタキシーにより成膜されることを特徴とするIII族窒化物半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 $Al_x Ga_y In_{1-x-y} N$ 膜を用いたレーザーダイオードや発光ダイオードなどのIII族窒化物半導体素子に関し、特に、それらの抵抗の低い電極を有するIII族窒化物半導体素子に関する。

【0002】

【従来の技術】現在、GaN あるいは AlN の大きい単結晶は得られていないので、 $Al_x Ga_y In_{1-x-y} N$ 膜を用いたレーザーダイオード (以下、LDと記す) または発光ダイオード (以下、LEDと記す)などのIII族窒化物半導体素子は、例えば、サファイア ($Al_2 O_3$)、スピネル ($MgAl_2 O_4$)、ケイ素 (Si)、炭化ケイ素 (SiC) 等の他の材料からなる単結晶基板上に形成されている。通常は、格子不整合による歪みを緩和するために、基板面に AlN バッファ層または GaN 低温バッファ層を形成し、その上に種々の $Al_x Ga_y In_{1-x-y} N$ 膜の成膜を行っている。

【0003】このような従来実用化されている $Al_x Ga_y In_{1-x-y} N$ 膜を用いた LEDなどの半導体素子においては、絶縁材料である基板を電流路としては利用できないので、次のような構造とせざるを得なかった。図5は従来のサファイア基板に形成された発光ダイオードの断面図である。サファイア基板1 i に AlN バッファ層2、n型 GaN からなる第1のコンタクト層3、n型 AlGaN からなる第1のクラッド層4、GaN活性層5、p型 AlGaN からなる第2のクラッド層6、p型 GaN からなる第2のコンタクト層7、Al/Ti からなるエピタキシャル層側電極層8 a (以降エピ側電極層と略記する) が積層されており、III族窒化物半導体層4~7をエッチング除去し、残した n型 GaN のコンタクト層3に Au/Cr よりなる基板側電極8 b を形成していた。すなわち、n型 GaN のコンタクト層3を導電性のリード部材として利用しており、電流路の断面はコンタクト層3の厚さと幅 (図5紙面に垂直方向) の積であり極めて小さく、ドーピングにより GaN コンタクト層の抵抗値を小さくしてもリード部は高抵抗となりやすい。

【0004】しかし、低抵抗の半導体材料からなる基板を用いることができれば、基板側電極を基板裏に形成し基板を通した電流路を構成できる。図6は従来の半導体基板上に形成された発光ダイオードの断面図である。半導体基板は S i である。基板側電極8 b は基板裏側に形成されており、基板と素子とは同じ面積である点を除き、III族窒化物半導体層の層構成は図5と同じなので、層構成の説明を省略する。n側電極8 b が基板1の裏側に形成されているため、電流路の断面は素子面積となるため電流路の抵抗は低くなることが期待できる。また、材料の有効面積比は大きくなり、また III族窒化物

半導体層のエッティング除去が不要となり、製造工程が少なくなり、量産に適している。

【0005】

【発明が解決しようとする課題】しかし、半導体基板上へのIII族窒化物半導体層成膜において、従来用いられるAlN またはGaN バッファー層は、AlN は絶縁体であり、GaN の抵抗もあまり低くできないため、バッファー層はまだ素子抵抗を高くしている要因である。また、p型の $Al_x Ga_y In_{1-x-y} N$ に形成される電極としては、従来はAu/Cr 電極を用いているが、接触抵抗が大きく、これもまた、素子抵抗を増加させる要因となっていた。

【0006】これらの素子抵抗を増加させている部分は、ジュール発熱部になってしまい、素子の特性や信頼性を損なう原因となっていた。本発明の目的は、電流路に高抵抗部分がなく、動作時に発熱の少ない $Al_x Ga_y In_{1-x-y} N$ からなるIII族窒化物半導体素子を提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するために、半導体基板上に $Al_x Ga_y In_{1-x-y} N$ ($0 \leq x, y$ 、かつ $x + y \leq 1$) からなるIII族窒化物半導体薄膜が積層されてなり、最終のIII族窒化物半導体薄膜の上に電極層が形成されているIII族窒化物半導体素子において、前記基板と前記III族窒化物半導体薄膜の間に金属導電性を示し、岩塩型または六方晶系の結晶構造である遷移金属窒化物からなるバッファ層を介在させることとする。

【0008】前記遷移金属窒化物は窒化チタン (TiN) 、窒化バナジウム (VN) 、窒化ジルコニウム (ZrN) 、窒化ニオブ (NbN) または窒化ハフニウム (HfN) のうちのいずれかまたはこれらのうちの2つからなる混晶、または窒化タンタル (TaN) であると良い。前記半導体基板はケイ素、炭化ケイ素、燐化ガリウム、ヒ化ガリウムであると良い。

【0009】前記バッファ層と前記III族窒化物半導体薄膜の間に第2のバッファ層を介在させ、さらに格子不整合緩和を行うと良い。前記第2のバッファ層は前記II族窒化物半導体薄膜と同じ組成であり、かつ前記III族窒化物半導体薄膜の成膜時の基板温度より低い基板温度で成膜された低温成膜層であると良い。

【0010】前記低温成膜層の基板温度は25°C以上50°C以下であると良い。前記第2のバッファ層は前記III族窒化物半導体薄膜と同じ組成の薄膜、と前記バッファ層からなる2重層の複数積層である超格子層であると良い。前記2重層の厚さは50nm以下であると良い。また、半導体基板上に $Al_x Ga_y In_{1-x-y} N$ ($0 \leq x, y$ 、かつ $x + y \leq 1$) からなるIII族窒化物半導体薄膜が積層されてなり、最終のIII族窒化物半導体薄膜の上に電極層が形成されているIII族窒化物半導体素子において、前記電極層は金属導電性を示し、岩塩型または六

方晶系の結晶構造である遷移金属窒化物からなる薄膜からなることとする。

【0011】前記遷移金属窒化物は窒化チタン (TiN) 、窒化バナジウム (VN) 、窒化ジルコニウム (ZrN) 、窒化ニオブ (NbN) 、窒化ハフニウム (HfN) のうちのいずれかまたはこれらのうちの2つからなる混晶、または窒化タンタル (TaN) であると良い。上記のIII族窒化物半導体素子の製造方法において、前記遷移金属窒化物からなる層は分子線エピタキシーにより成膜されると良い。

【0012】

【発明の実施の形態】発明者らは、遷移金属窒化物のいくつかとそれらの混晶の薄膜をケイ素 (Si) 、ゲルマニウム (Ge) 、炭化ケイ素 (SiC) 、燐化ガリウム (GaP) 、ヒ化ガリウム (GaAs) などの半導体基板上にエピタキシャル成長させることができ、またエピタキシャル成長層を基板とIII族窒化物積層の間にバッファ層として介在させることにより、 $Al_x Ga_y In_{1-x-y} N$ 膜に対する格子マッチングが良く、良質の $Al_x Ga_y In_{1-x-y} N$ 膜を容易にエピタキシャル成長可能であることを見いたした。これらの遷移金属窒化物の結晶型と格子定数等を表1に示す。

【0013】

【表1】

材 料	結晶型	格子定数	格子定数 不整合(%)	
			G a N	A l N
V N	N a C I	4.13	-8.42	-6.13
T i N	N a C I	4.24	-5.99	-3.63
N b N	N a C I	4.392	-2.61	-0.17
H f N	N a C I	4.52	0.22	2.74
Z r N	N a C I	4.64	2.88	5.46
T a N	六方晶	5.19	-6.0	-3.7

表1に挙げた金属窒化物は、Si、Ge、SiC、GaAs、GaP 等の半導体基板上へのエピタキシャル成長が可能であり、さらに、そのエピタキシャル層へ $Al_x Ga_y In_{1-x-y} N$ 膜がエピタキシャル成長が可能であった。また、TaN を除いて、岩塩型の結晶でありこれらの2種の遷移金属窒化物は格子定数のみが変わらる混晶を形成できる。従って、格子定数を適当に選択することによってことにより $Al_x Ga_y In_{1-x-y} N$ における任意のx、yに対応して格子不整合を緩和できるバッファ層とすることができる。またTaN は六方晶であるが、同様に格子不整合を緩

和できるバッファ層とすることができる。

【0014】また、これら材料は金属導電性を示し、半導体との接触抵抗も低いので、III族窒化物積層の半導体素子と基板との間の抵抗を増加させることはない。また、同じ理由により、n型半導体基板への電極とする場合は抵抗増加の要因にならない。一方、p型の $Al_x Ga_y In_{1-x-y} N$ に対しても接触抵抗は非常に低く、電極材料として有用である。

【0015】上記の遷移金属窒化物バッファ層を用いても格子不整合による歪みは生じているが、第2のバッファ層を追加することによりこの歪みをさらに緩和できる。第2のバッファ層には以降のIII族窒化物半導体層と同じ組成の薄膜を含むことが重要であり、この薄膜が存在することによって格子定数の変化が滑らかにされている。

実施例1

図1は本発明に係る遷移金属窒化物のバッファ層を有するIII族窒化物半導体素子の断面図である。製造工程に従って構造を説明する。n型Siの基板1s(基板面は<111>面)を酸で表面洗浄し、分子線エピタキシー装置を用いて、TiNを成膜し、厚さ50nmのバッファ層2cを形成した。成膜時の基板温度を650°Cとし、Tiは電子ビーム照射により蒸発させ、窒素はrf放電を用いた原子状窒素源により供給した。この薄膜は<111>配向しており、基板と膜の<111>軸が互いに平行なエピタキシャル成長膜であった。

【0016】次いで、基板温度を800°Cとし、n型GaNからなる厚さ300nmのコンタクト層3を成膜した。以下、基板温度800°Cで、n型 $Al_x Ga_{1-x} N$ (x=0.15)からなる厚さ500nmのクラッド層4、GaNからなる厚さ50nmの活性層5、p型 $Al_x Ga_{1-x} N$ (x=0.15)からなる厚さ500nmのクラッド層6、p型GaNからなる厚さ300nmのキャップ層7を順次成膜した。最後に、基板温度650°Cとし、分子線エピタキシーにより厚さ50nmのTiN薄膜をp側電極8aとして形成し、Si基板1の裏面にはAlからなるn側電極8bを形成した。

【0017】上記の基板を、活性層の面積が0.3mm²のダイに切断し、両電極にはAuのワイヤをボンディングしてLED素子を作製した。この素子の順方向の電圧電流特性を測定したところ、印加電圧3Vで、200mAの順方向電流が得られた。比較のため、従来のバッファ層としてAlNを用いた以外は、同じ層構成のLED素子を作製し電圧電流特性を測定したところ、順方向の電圧電流特性は、印加電圧3Vで50mAの順方向電流だった。

【0018】また、バッファ層にAlN、p側電極としてAu/Cr電極を用いた以外は同様の層構成の従来のLED素子を作製したところ、印加電圧3Vで10mAの順方向電流だった。このことから、TiN層は抵抗の低いバッファ層を実現し、p側電極としてはやはり抵抗の低減をもたらしたことが判る。

実施例2

実施例1では、バッファ層に用いたTiNとGaNとの格子不整合は6%あり(表1参照)、TiN層はまだGaN層に歪みを生じさせており、GaN層上に成長される $Al_x Ga_{1-x} N$ (x=0.15)にも歪みを伝えている。しかし、バッファ層に用いた遷移金属窒化物を混晶として、 $Al_x Ga_{1-x} N$ (x=0.15)との格子不整合を小さくすることができ、GaNのコンタクト層を省略すること可能となる。

【0019】図2は本発明に係る混晶バッファ層を有するIII族窒化物半導体素子の断面図である。製造工程に従って構造を説明する。n型のSi(111)基板1sを酸で表面洗浄し、基板温度650°Cで分子線エピタキシー装置を用いて厚さ50nmの $V_{0.29} Zr_{0.71} N$ 薄膜からなる導電性のバッファ層2cを成膜した。このとき、Ti、Zrは電子ビームにより蒸発させ、窒素はrf放電を用いた原子状窒素源により供給した。この薄膜は(111)配向しており、基板と膜の<111>軸が互いに平行なエピタキシャル成長膜

であった。この導電性のバッファ層2cはn型 $Al_{0.15} Ga_{0.85} N$ と格子整合しており、基板温度800°Cで、n型 $Al_x Ga_{1-x} N$ (x=0.15)からなる厚さ500nmのクラッド層4を直接成膜することができた。

【0020】以下実施例1と同様に、GaNからなる厚さ50nmの活性層5、p型 $Al_x Ga_{1-x} N$ (x=0.15)からなる厚さ500nmのクラッド層6、p型GaNからなる厚さ300nmのキャップ層7を順次成膜した。最後に、基板温度650°Cで厚さ300nmのZrN薄膜をエピ側電極8aとして形成し、Si基板1の裏面にはAlからなる基板側電極8bを形成した。

【0021】この基板を活性層の面積が0.3mm²のダイに切断し、両電極にはAuのワイヤをボンディングしてLED素子を作製した。得られたLED素子の順方向の電圧電流特性を測定したところ、3Vの印加電圧で200mAの電流であり、実施例1の場合と同様に低抵抗のLED素子が得られた。

【0022】このように、VNとZrNの混晶の導電バッファ層を用いることにより、素子の低抵抗化が実現できると共に格子整合を取ることができ、さらに、コンタクト層が不要となり素子構造の簡略化が可能となった。また、製造工程の短縮ができた。

実施例3

遷移金属窒化物のバッファ層の上に、低温で成膜した $Al_{0.15} Ga_{0.85} N$ からなる第2のバッファ層を挿入することにより、遷移金属窒化物のバッファ層と第1のクラッド層以降の $Al_{0.15} Ga_{0.85} N$ 層との格子歪みをさらに緩和することができる。

【0023】図3は本発明に係る低温成膜層を有するII族窒化物半導体素子の断面図である。製造工程に従って構造を説明する。n型のSi(111)基板1sを酸で表面洗浄し、基板温度650°Cで分子線エピタキシー装置を用いて50nmのNbN薄膜を成膜しバッファ層2cとした。こ

のとき、Nbは電子ビームにて蒸発させ、窒素はrf放電を用いた原子状窒素源により供給した。この薄膜は(111)配向しており、基板と膜の<111>軸が互いに平行なエピタキシャル成長膜であった。

【0024】次に、基板温度400 °Cの低温で、10nmのAl_{0.15}Ga_{0.85}N層からなる第2のバッファ層として低温成膜層2tを成膜した。それ以降、基板温度を800 °Cまで上昇させ、クラッド層4からコンタクト層7までの各II族半導体層を成膜し、図3に示す様なダブルヘテロ構造を形成した。なお、基板温度が室温(25°C)から500 °Cの間であれば、低温成膜層2tはアモルファス状であり、格子不整合緩和に役立っていることが判った。

【0025】また、電極層8aにはNbNを用いた。この基板を切断し、上下の電極が0.3mm角のLEDを作製した。この素子の順方向の電圧電流特性を測定した結果、印加電圧3Vのとき、順方向電流は150mAであり、実施例1で作製した素子に準じた特性が得られた。

実施例4

遷移金属窒化物のバッファ層の上に、薄いAl_xGa_{1-x}N層と薄い遷移金属窒化物層を交互に積層した超格子構造の第2のバッファ層を挿入することにより、これらの層間に歪みを集中させ、遷移金属窒化物のバッファ層と第1のクラッド層以降のAl_{0.15}Ga_{0.85}N層との格子歪みをさらに緩和することができる。

【0026】図4は本発明に係る超格子層を有するIII族窒化物半導体素子の断面図である。製造工程に従って構造を説明する。n型のSi(111)基板1sを酸で表面洗浄し、基板温度650 °Cで分子線エピタキシー装置を用いて50nmのHfN層を成膜した。このとき、Hfは電子ビームにより蒸発させ、窒素はrf放電を用いた原子状窒素源により供給した。この薄膜は(111)配向しており、基板と膜の<111>軸が互いに平行なエピタキシャル成長膜であつた。

【0027】このバッファ層2cの上に、基板温度700 °Cで、厚さ10nmのAl_{0.30}Ga_{0.70}N層と厚さ10nmのHfN層を交互に4回づつ成膜し、超格子構造の第2のバッファ層2mを形成した。それ以降は基板温度を800 °Cまで上昇させ、クラッド層4からコンタクト層7までの各II族半導体層を各III族半導体層を成膜し、図4に示す様なダブルヘテロ構造を形成した。

【0028】また、エピタキシャル層側の電極層8aにはHfNを用いた。この成膜後の基板を切断し、上下の電極が0.3mm角のLEDを作製した。この素子の順方向の電圧電流特性を測定した結果、印加電圧3Vのとき、順方向電流は200mAであり、実施例1で作製した素子と同等の特性が得られた。

【0029】

【発明の効果】本発明によれば、半導体基板上にAl_xGa_yIn_{1-x-y}N(0≤x、y、かつx+y≤1)からなるIII族窒化物半導体薄膜が積層されてなり、最終のIII族窒化物半導体薄膜の上に電極層が形成されているIII族窒化物半導体素子において、前記基板と前記III族窒化物半導体薄膜の間には、金属導電性を示し、岩塩型または六方晶系の結晶構造である遷移金属窒化物からなる薄膜のバッファ層を介在させたので、基板とAl_xGa_yIn_{1-x-y}N膜との間の格子整合が改善され、格子不整合による歪みの緩和を図ることができる。さらにAl_xGa_yIn_{1-x-y}N膜を使った半導体レーザーダイオードおよび発光ダイオードなどの素子抵抗を低減することができる。

【0030】また、電極層をTiN、VN、ZrN、NbN、HfNまたは窒化タンタルTaNのうちのいずれかからなる薄膜、またはこれらのうちの異なる2つからなる混晶などの遷移金属窒化物の薄膜としたので、Al_xGa_yIn_{1-x-y}N膜を使った半導体レーザーダイオードおよび発光ダイオードなどの素子抵抗を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る遷移金属窒化物のバッファ層を有するIII族窒化物半導体素子の断面図

【図2】本発明に係る混晶バッファ層を有するIII族窒化物半導体素子の断面図

【図3】本発明に係る低温成膜層を有するIII族窒化物半導体素子の断面図

【図4】本発明に係る超格子層を有するIII族窒化物半導体素子の断面図

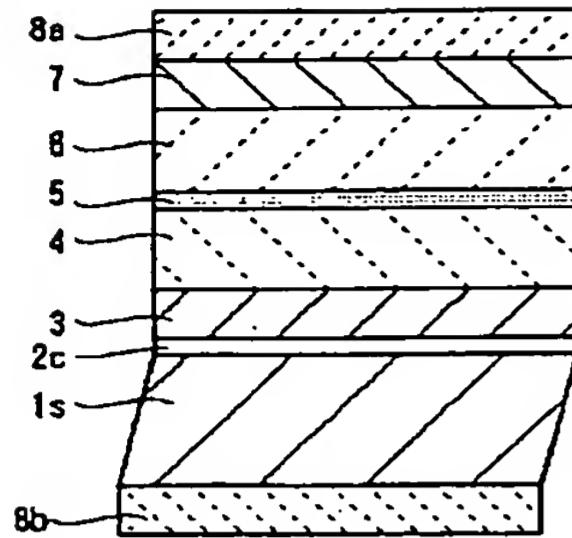
【図5】従来のサファイア基板に形成された発光ダイオードの断面図

【図6】従来のSi基板上に形成された発光ダイオードの断面図

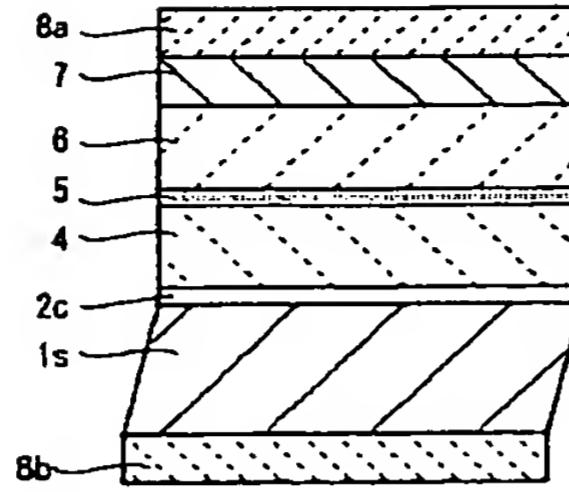
【符号の説明】

- 1 i サファイア基板
- 1 s 半導体基板
- 2 バッファ層
- 2 c バッファ層
- 2 t 低温成膜層
- 2 m 超格子層
- 3 第1のコンタクト層
- 4 第1のクラッド層
- 5 活性層
- 6 第2のクラッド層
- 7 第2のコンタクト層
- 8 a エピタキシャル層側電極層
- 8 b 基板側電極層

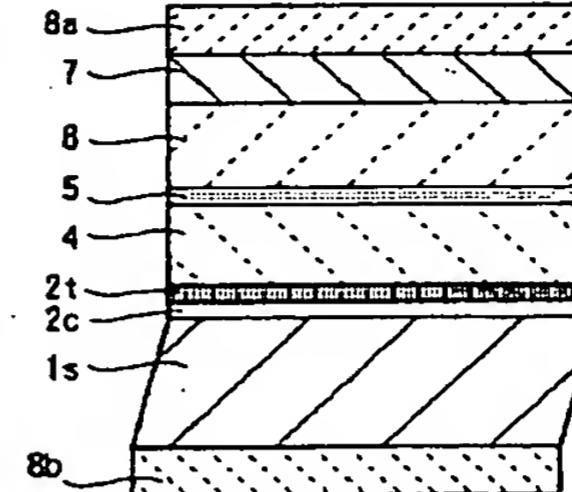
【図 1】



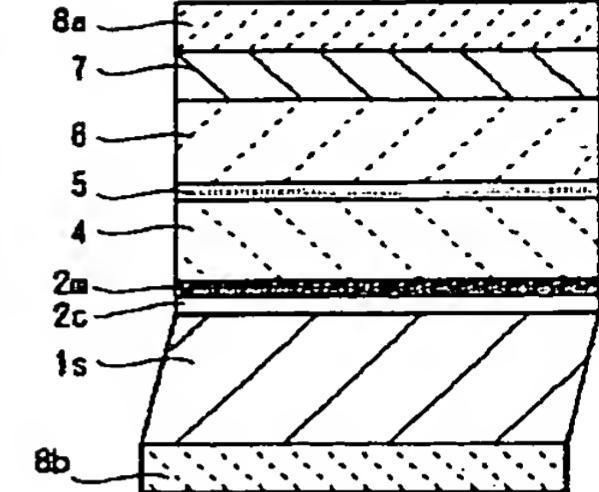
【図 2】



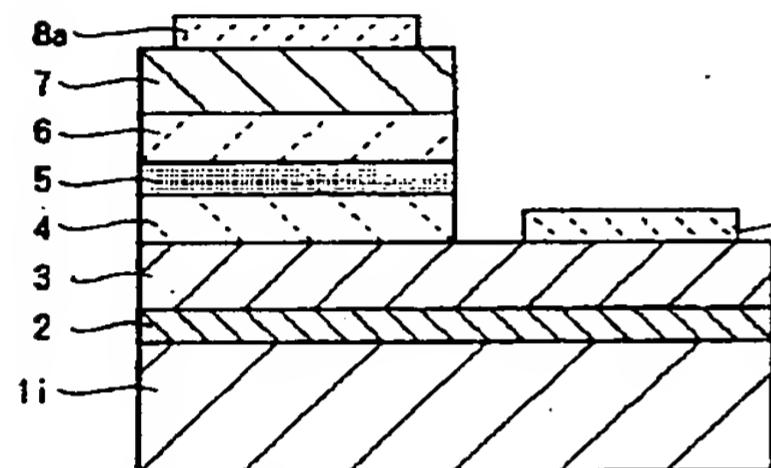
【図 3】



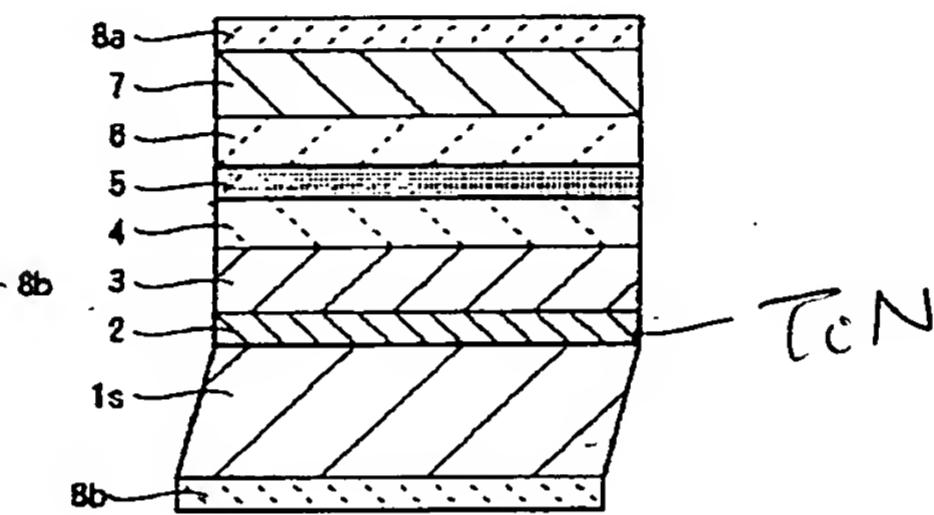
【図 4】



【図 5】



【図 6】



フロントページの続き

(72) 発明者 上條 洋
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(72) 発明者 松山 秀昭
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内